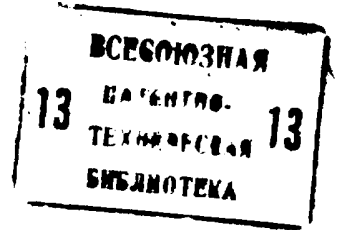




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3867061/24-24
(22) 05.03.85
(46) 23.08.87. Бюл. № 31
(71) Минский радиотехнический институт
(72) А.И.Нозик и А.А.Шостак
(53) 681.325(088.8)
(56) Карцев М.А. Арифметика цифровых машин. - М.: Наука, 1969, с. 492-496, рис. 5-1.

Папернов А.А. Логические основы ЦВТ. - М.: Советское радио, 1972, с. 225-239, рис. 1, рис. 3.

Авторское свидетельство СССР
№ 1231498, кл. G 06 F 7/52, 1984.

- (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ
(57) Изобретение относится к вычислительной технике и может быть использовано для быстрого вычисления частного двух чисел. Целью изобретения является повышение быстродействия устройства. Цель достигается за счет того, что устройство содержит в k -м столбце (k - четное) m -й строки матрицы ($2 \leq m \leq n-2$) вычитатель, вход вычитаемого которого соединен с выходом множителя этого же столбца и этой же строки, а вход уменьшаемого для $m \geq 3$ соединен с выходом сумматора $(m-1)$ -й строки $(k+1)$ -го столбца, вход уменьшаемого

вычитателя второй строки и k -го столбца (k - четное) соединен с выходом вычитателя $(k+1)$ -го столбца первой строки, выход вычитателя m -й строки и k -го столбца (k - четное) соединен с вторым входом сумматора $(m+1)$ -й строки $(k-1)$ -го столбца, первый вход сумматора m -й строки второго столбца для $m \geq 3$ соединен с выходом сумматора первого столбца $(m-1)$ -й строки и с вторыми входами умножителей четных столбцов m -й строки, второй вход этого же сумматора соединен с выходом вычитателя $(m-1)$ -й строки этого же столбца, а выход этого сумматора соединен с вторым входом умножителя $(m+1)$ -й строки первого столбца, первый вход сумматора второй строки второго столбца соединен с выходом вычитателя первой строки первого столбца и вторыми входами умножителей четных столбцов второй строки, второй вход этого сумматора соединен с вторым входом группы входов делителя устройства, а его выход соединен с вторым входом умножителя первого столбца третьей строки, выходы сумматоров четных строк первого столбца соединены с соответствующими входами блока преобразования избыточного кода. 5 ил, 1 табл.

Изобретение относится к вычислительной технике и может быть использовано для быстрого выполнения операции деления.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 приведена структурная схема устройства для деления; на фиг. 2-4 - функциональные схемы соответственно умножителя, сумматора и вычитателя; на фиг. 5 - структурная схема блока преобразования избыточного кода.

Устройство содержит двадцать один умножитель 1, семнадцать сумматоров 2, тринадцать вычитателей 3, объединенных в треугольную матрицу седьмого порядка, блок 4 преобразования избыточного кода, причем j -я строка матрицы ($2 \leq j \leq 7$) имеет $8-j$ столбцов и содержит в каждом столбце умножитель 1, во втором и в каждом нечетном столбце - сумматор 2, в каждом четном столбце - вычитатель 3, первая строка матрицы имеет семь столбцов и содержит в каждом нечетном столбце вычитатель 3, причем первый вход умножителей 1 k -го столбца ($1 \leq k \leq 6$) соединен с k -м входом группы входов 5 делителя устройства, второй вход умножителей 1 m -го столбца ($2 \leq m \leq 6$) j -й строки для $j \geq 3$ соединен с выходом сумматора 2 первого столбца ($j-1$)-й строки и первым входом сумматора 2 второго столбца j -й строки, вторые входы умножителей 1 k -го столбца второй строки соединены с выходом вычитателя 3 первого столбца первой строки и с первым входом сумматора 2 второй строки второго столбца, второй вход умножителя 1 первого столбца j -й строки для $j \geq 3$ соединен с выходом сумматора второго столбца ($j-1$)-й строки, выход умножителя 1 j -й строки и 1-го столбца ($1 \leq l \leq 5$, 1 - нечетное) соединен с первым входом сумматора 2 этой же строки и этого же столбца, второй вход которого для $j=2$ соединен с $(1+1)$ -м входом группы входов 5 делителя устройства, выход умножителя 1 k -го столбца (k - четное) j -й строки соединен с входом вычитаемого вычитателя 3 этой же строки и этого же столбца, вход уменьшаемого которого для $j=2$ соединен с выходом вычитателя 3 $(k+1)$ -го столбца первой строки, второй вход сумматора 2 j -й строки для $j \geq 3$ 1-го столбца (1 - нечетное) соединен с выходом вычитателя 3 ($j-$

-1)-й строки $(1+1)$ -го столбца, вход уменьшаемого вычитателя 3 j -й строки для $j \geq 3$ k -го столбца (k - четное) соединены с выходом сумматора 2 ($j-1$)-й строки $(k+1)$ -го столбца, второй вход сумматора 2 второго столбца m -й строки соединен с вторым входом сумматора 2 первого столбца этой же строки, вход уменьшаемого вычитателя 3 первого столбца первой строки соединен с первым входом группы входов 6 делимого устройства, а вход вычитаемого соединен с первым входом группы входов 5 делителя устройства, вход вычитаемого 3 i -го столбца ($3 \leq i \leq 7$, i - нечетное) первой строки соединен с i -м входом группы входов 5 делителя устройства, а входы уменьшаемого - с $(i-1)$ -м и i -м входами группы входов 6 делимого устройства, выходы вычитателя 3 первого столбца первой строки и сумматоров 2 первого столбца j -й строки соединены с соответствующими входами блока 4 преобразования избыточного кода, выходы которого являются выходами 7_1-7_8 устройства. Умножитель 1 содержит элементы И 8, сумматор 2 - одноразрядные двоичные сумматоры 9, вычитатель 3 - одноразрядные двоичные вычитатели 10, блок 4 - преобразователь 11, узел 12 преобразования восьмиразрядного кода в двухразрядный и сумматор 13 с параллельным переносом.

Пусть делимое и делитель - нормализованные положительные двоичные дроби, соответственно $C=0, c_1c_2c_3c_4c_5c_6c_7c_8$ и $A=0, a_1a_2a_3a_4a_5a_6a_7a_8$. Значение их частного представляется в виде:

$$Q = \frac{C}{A} = q_0, q_1 q_2 q_3 q_4 q_5 q_6 q_7,$$

где q_i - i -я избыточная цифра частного ($0 \leq i \leq 7$).

Из условия $A \cdot Q = C$ можно найти выражения для определения значений избыточных цифр частного. Для этого необходимо приравнять значения сумм соответствующих разрядных произведений произведения $A \cdot Q$ значениям разрядных произведений делимого C , представленного следующим образом:

$$C = 0, c_1c_2c_3c_4c_5c_6c_7c_8 = c_1 \cdot 2^{-1} + c_2 \cdot 2^{-2} + 0 \cdot 2^{-3} + (2c_3 + c_4) \cdot 2^{-4} + 0 \cdot 2^{-5} + (2c_5 + c_6) \cdot 2^{-6} + 0 \cdot 2^{-7} + (2c_7 + c_8) \cdot 2^{-8}.$$

В результате получается следующая система уравнений:

$$\begin{aligned}
 a_1 q_0 &= c_1; \\
 a_1 q_1 + a_2 q_0 &= c_2; \\
 a_1 q_2 + a_2 q_1 + a_3 q_0 &= 0; \\
 a_1 q_3 + a_2 q_2 + a_3 q_1 + a_4 q_0 &= 2c_3 + c_4; \\
 a_1 q_4 + a_2 q_3 + a_3 q_2 + a_4 q_1 + a_5 q_0 &= 0; \\
 a_1 q_5 + a_2 q_4 + a_3 q_3 + a_4 q_2 + a_5 q_1 + a_6 q_0 &= \\
 &= 2c_5 + c_6; \\
 a_1 q_6 + a_2 q_5 + a_3 q_4 + a_4 q_3 + a_5 q_2 + a_6 q_1 + \\
 + a_7 q_0 &= 0; \\
 a_1 q_7 + a_2 q_6 + a_3 q_5 + a_4 q_4 + a_5 q_3 + a_6 q_2 + \\
 + a_7 q_1 + a_8 q_0 &= 2c_7 + c_8.
 \end{aligned} \quad (1)$$

С учетом того, что $a_1 = c_1 = 1$, выражения для определения значений избыточных цифр частного Q принимают вид:

$$\begin{aligned}
 q_0 &= 1; \\
 q_1 &= c_2 - c_1; \\
 q_2 &= -a_2 - a_1 q_1; \\
 q_3 &= 2c_3 + c_4 - a_4 - a_3 q_1 - a_2 q_2; \\
 q_4 &= -a_5 - a_4 q_1 - a_3 q_2 - a_2 q_3; \\
 q_5 &= 2c_5 + c_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 - a_2 q_4; \\
 q_6 &= -a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - a_2 q_5; \\
 q_7 &= 2c_7 + c_8 - a_8 - a_7 q_1 - a_6 q_2 - a_5 q_3 - a_4 q_4 - \\
 - a_3 q_5 - a_2 q_6.
 \end{aligned} \quad (2)$$

Преобразуем систему уравнений (2), подставив в выражение для q_3 значение q_2 из третьего уравнения, в выражение для q_4 значение q_3 из четвертого уравнения и т.д. Полученные выражения для избыточных цифр частного q_i ($0 \leq i \leq 7$) имеют вид:

$$\begin{aligned}
 q_0 &= 1; \\
 q_1 &= c_2 - a_2; \\
 q_2 &= -a_2 - a_1 q_1; \\
 q_3 &= 2c_3 + c_4 - a_4 - a_3 q_1 - a_2 (-a_2 - a_1 q_1); \\
 q_4 &= -a_5 - a_4 q_1 - a_3 q_2 - a_2 (2c_3 + c_4 - a_4 - \\
 - a_3 q_1 - a_2 q_2); \\
 q_5 &= 2c_5 + c_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 - \\
 - a_2 (-a_5 - a_4 q_1 - a_3 q_2 - a_2 q_3); \\
 q_6 &= -a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - \\
 - a_2 (2c_5 + c_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 - a_2 q_4); \\
 q_7 &= 2c_7 + c_8 - a_8 - a_7 q_1 - a_6 q_2 - a_5 q_3 - a_4 q_4 - \\
 - a_3 q_5 - a_2 (-a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - \\
 - a_2 q_5).
 \end{aligned} \quad (3)$$

С учетом того, что a_2 - двоичная переменная, принимающая значения 0 или 1, и произведение $a_2 a_2 = a_2$, выражения в скобках в правых частях уравнений системы (3) можно упростить. Например, выражение $a_2 (-a_3 - a_2 q_1)$ в правой части четвертого уравнения можно преобразовать к следующему виду:

$$a_2 (-a_3 - a_2 q_1) = -a_2 a_3 - a_2^2 q_1 = -a_2 a_3 - a_2 q_1 = a_2 (-a_3 - q_1).$$

Выполнив подобные преобразования в пятом, шестом, седьмом и восьмом уравнениях, получаем следующие выражения для определения цифр частного q_i ($0 \leq i \leq 7$):

$$\begin{aligned}
 q_0 &= 1; \\
 q_1 &= c_2 - a_2; \\
 q_2 &= -a_2 - a_1 q_1; \\
 q_3 &= 2c_3 + c_4 - a_4 - a_3 q_1 + a_2 (a_3 + q_1); \\
 q_4 &= -a_5 - a_4 q_1 - a_3 q_2 - a_2 (2c_3 + c_4 - a_4 - \\
 - a_3 q_1 - q_2); \\
 q_5 &= 2c_5 + c_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 + \\
 + a_2 (a_5 + a_4 q_1 + a_3 q_2 + q_3); \\
 q_6 &= a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - a_2 (2c_5 + \\
 + c_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 - q_4); \\
 q_7 &= 2c_7 + c_8 - a_8 - a_7 q_1 - a_6 q_2 - a_5 q_3 - a_4 q_4 - \\
 - a_3 q_5 + a_2 (a_7 + a_6 q_1 + a_5 q_2 + a_4 q_3 + \\
 + a_3 q_4 + q_5).
 \end{aligned} \quad (4)$$

В устройстве (фиг. 1) избыточные цифры частного формируются в соответствии с приведенной системой уравнений (4). Так, цифра q_1 образуется на выходе вычитателя 3 первой строки первого столбца матрицы, вход уменьшаемого которого подключен к первому входу 6₁ группы входов делимого устройства, на который подается значение разряда c_2 делимого C , а вход вычитаемого соединен с первым входом 5₁ группы входов делителя устройства, на который подается значение разряда a_2 делителя A . Цифра q_2 формируется следующим образом. С помощью умножителя 1 второй строки первого столбца матрицы вычисляется значение $a_2 q_1$, которое далее поступает на первый вход сумматора 2 этой же строки и этого же столбца, на второй вход которого подается значение разряда a_3 делителя A с второго входа 5₂ группы входов делителя устройства. Таким образом, на выходе этого сумматора 2 образуется результат $a_3 + a_2 q_1$, который только знаком отличается от соответствующего результата q_2 в системе уравнений (4). Полученное значение $-q_2$ поступает на соответствующий вход блока 4 преобразования избыточного кода, где оно с учетом своего знака суммируется с остальными цифрами частного. Цифра q_3 формируется на выходе сумматора 2 третьей строки первого столбца матрицы следующим образом.

С помощью умножителя 1 второго столбца второй строки матрицы вычисляется значение $a_3 q_1$, которое посту-

пает на вход вычитаемого вычитателя 3 этой же строки и этого же столбца, на вход уменьшаемого которого подается значение $2c_3+c_4-a_4$ с выхода вычитателя 3 первой строки третьего столбца, на входы уменьшаемого которого поданы соответственно значения разрядов c_3 и c_4 делимого C с второго и третьего входов b_2 и b_3 группы входов делимого устройства, а на вход вычитаемого этого вычитателя подано значение разряда a_4 с третьего входа 5_3 группы входов делителя устройства.

На выходе вычитателя 3 второй строки второго столбца формируется результат, равный $2c_3+c_4-a_4-a_3q_1$, который поступает на второй вход сумматора 2 третьей строки первого столбца, на первый вход которого поступает произведение $a_2(a_3+q_1)$ с выхода соответствующего умножителя 1, первый вход которого соединен с первым входом 5_1 группы входов делителя устройства, а второй вход - с выходом сумматора 2 второй строки второго столбца матрицы, на первый вход которого поступает значение q_1 с выхода вычитателя 3 первой строки первого столбца, а на второй вход - значение разряда a_3 делителя A с второго входа 5_2 группы входов делителя устройства. Таким образом, на выходе сумматора 2 третьей строки первого столбца формируется значение цифр $q_3=2c_3+c_4-a_4-a_3q_1+a_2(a_3+q_1)$.

Цифра q_4 формируется с обратным знаком на выходе сумматора 2 четвертой строки первого столбца матрицы следующим образом. На выходе сумматора 2 второй строки третьего столбца матрицы формируется результат $a_4q_1+a_5$ в результате сложения значения разряда a_5 делителя A , поступающего с четвертого входа 5_4 группы входов делителя устройства, со значением произведения a_4q_1 , поступающего с выхода умножителя 1 второй строки третьего столбца матрицы. С выхода соответствующего сумматора 2 значение $a_4q_1+a_5$ подается на вход уменьшаемого вычитателя 3 третьей строки второго столбца матрицы, на вход вычитаемого которого поступает произведение $-q_2a_3$ с выхода умножителя 1 третьей строки второго столбца матрицы. С выхода соответствующего вычитателя 3 результат $a_4q_1+a_5+a_3$ поступает на второй вход сумматора 2

четвертой ступени первого столбца, на первый вход которого подается значение $a_2(2c_3+c_4-a_4-a_3q_1-q_2)$, которое формируется на выходе умножителя 1 четвертой строки первого столбца матрицы, первый вход которого соединен с первым входом 5_1 группы входов делителя устройства, а второй вход соединен с выходом сумматора 2 третьей строки второго столбца матрицы, на выходе которого формируется значение $2c_3+c_4-a_3q_1-q_2$. Таким образом на выходе сумматора 2 четвертой строки первого столбца формируется значение $-q_4=a_5+a_4q_1+a_3q_2+a_3(2c_3+c_4-a_4-a_3q_1-q_2)$, которое только знаком отличается от значения q_4 в системе уравнений (4).

Подобным образом в устройстве вычисляются и значения остальных избыточных цифр частного q_5, q_6 и q_7 . Следует отметить, что цифры q_2, q_4, q_6 вычисляются с противоположным знаком, однако это учитывается в блоке 4 преобразования избыточного кода при преобразовании частного из избыточной формы в обычную. Значение цифры q_6 частного всегда равно единице, поэтому она явно в устройстве не формируется. Однако ее значение учитывается в блоке 4 преобразования избыточного кода при формировании окончательного значения частного в простом двоичном коде $Q=q'_0, q'_1, q'_2, q'_3, q'_4, q'_5, q'_6, q'_7$ на выходах 7_1-7_8 устройства.

В таблице приведены максимально и минимально возможные значения избыточных цифр частного Q для предлагаемого устройства.

Максимальное и минимальное значения избыточных цифр	Избыточные цифры частного						
	q_1	q_2	q_3	q_4	q_5	q_6	q_7
$q_i^{макс}$	1	1	4	3	7	8	13
$q_i^{мин}$	-1	-1	-2	-5	-5	-9	-13

Следует отметить, что если разрядность делимого и делителя, поступающих на входы устройства, нечетная (например, $n=p=7$), то в этом случае делимое C в предлагаемом устройстве представляется следующим образом:

$$C=0, c_1c_2c_3c_4c_5c_6c_7=c_1 \cdot 2^1+c_2 \cdot 2^2+0 \cdot 2^3+(2c_3+c_4) \cdot 2^4+0 \cdot 2^5+(2c_5+c_6) \cdot 2^6+c_7 \cdot 2^7.$$

Это влияет на выражение для определения последней цифры частного q_6 , которое, в отличие от приведенного выше выражения для случая четной разрядности операндов, имеет вид:

$$q_6 = c_7 - a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - a_2 (2c_5 + c_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 - q_4).$$

Рассмотрим реализацию узлов устройства на примере умножителя 1 и сумматора 2 четвертой строки первого столбца, вычитателя 3 первой строки третьего столбца и блока 4 преобразования избыточного кода (другие узлы устройства могут быть разработаны аналогичным образом). Здесь и в дальнейшем для определенности предполагается, что избыточные цифры частного представляются в двоичном дополнительном коде. Они могут быть представлены в обратном, или же в прямом коде. При этом несколько изменится реализация узлов устройства.

Умножитель 1 предназначен для формирования произведения $a_2(2c_3 + c_4 - a_4 - a_3 q_1 - q_2)$, которое, как следует из третьего уравнения системы уравнений (2), численно равно значению произведений третьей цифры частного q_3 и разряда делителя a_2 . А так как $q_3^{\max} = 4$ и $q_3^{\min} = -2$ (согласно таблице), то умножитель 1 может быть реализован на четырех двухвходовых элементах И $8_1 - 8_4$ (фиг. 2). Элемент И 8_1 участвует в формировании знака этого произведения.

Сумматор 2 осуществляет алгебраическое суммирование результатов, сформированных на выходах умножителя 1 четвертой строки первого столбца и вычитателя 3 третьей строки второго столбца. На выходе сумматора 2 образуется значение $(-q_4)$, которое по модулю не превышает значение пятерки (согласно таблице). Этот сумматор может быть реализован на четырех одноразрядных двоичных сумматорах $9_1 - 9_4$, из которых первый знаковый (фиг. 3).

С помощью вычитателя 3 осуществляется вычисление разности $2c_5 + c_4 - a_4$. Его функциональная схема включает два одноразрядных двоичных вычитателя 10_1 и 10_2 (фиг. 4). Выход заема вычитателя 10_1 является знаковым разрядом получаемой разности.

Блок 4 предназначен для преобразования частного, представленного в

виде набора избыточных цифр q_i ($0 \leq i \leq 7$), в простой двоичный код с учетом того, что цифры q_1 , q_4 , q_6 в устройстве формируются с противоположными знаками. Упрощенная структурная схема блока 4 преобразования избыточного кода имеет вид, приведенный на фиг. 5. Он содержит преобразователи $11_1 - 11_3$, осуществляющие изменение знака избыточных цифр $-q_2$, $-q_4$, $-q_6$, узел 12 преобразования восьмизрядного кода в двухрядный и сумматор 13 с параллельным переносом. Преобразователи $11_1 - 11_3$ фактически выполняют функции образования дополнительного кода. Однако с целью повышения быстродействия в предлагаемом устройстве предполагается, что преобразователи $11_1 - 11_3$ формируют обратный код, а преобразование его в дополнительный производится в узле 12 путем подачи единичных входных переносов на входы переносов соответствующих сумматоров узла 12. Узел 12 выполняет функции узла многовходового алгебраического суммирования. Таким образом, на выходе сумматора 13 формируется значение частного Q в простом двоичном коде.

Устройство для деления работает следующим образом.

На входы $6_1 - 6_7$ и $5_1 - 5_7$ одновременно подаются значения семи младших разрядов соответственно делимого $S=0$, $c_1, c_2, c_3, c_4, c_5, c_6, c_7, c_8$ и делителя $A=0$, $a_1, a_2, a_3, a_4, a_5, a_6, a_7, a_8$ (значения старших разрядов делимого $S_1=1$ и делителя $a_1=1$ непосредственно не участвуют в формировании цифр частного и на входы устройства не поступают). Далее последовательно во времени с помощью умножителей 1, сумматоров 2, вычитателей 3 формируются значения семи избыточных цифр результата $q_1, -q_2, q_3, -q_4, q_5, -q_6, q_7$ в соответствии с уравнениями системы (4) (сначала формируется значение цифры q_1 , потом $-q_2$ и т.д.). Считая, что $t=t_8$, значение цифры q_7 сформируется от момента поступления на входы $6_1 - 6_7$ и $5_1 - 5_7$ устройства соответственно делимого и делителя через время, примерно равное $4t_y + 7t_c$. По мере формирования значений всех избыточных цифр частного они поступают на соответствующие входы блока 4 преобразования избыточного кода, в котором осуществляется их алгебраическое суммирование, и на выходах $7_1 - 7_8$ уст-

ройства формируется результат $Q = q_0, q_1'q_2'q_3'q_4'q_5'q_6'q_7'$ в простом двоичном коде. Общее время формирования результата в устройстве равно $4t_y + 7t_c + t_{пр}$.

Следует отметить, что одновременно с формированием в устройстве более младших избыточных цифр результата более старшие избыточные цифры поступают в блок 4, где происходит их предварительная обработка. Этим обеспечивается некоторое перекрытие во времени работы блока 4 преобразования избыточного кода с работой других узлов устройства. В общем случае (для четных значений p) время формирования результата в предлагаемом устройстве примерно равно

$$T_n \approx (p-1)t_c + (p/2)t_y + t_{пр}.$$

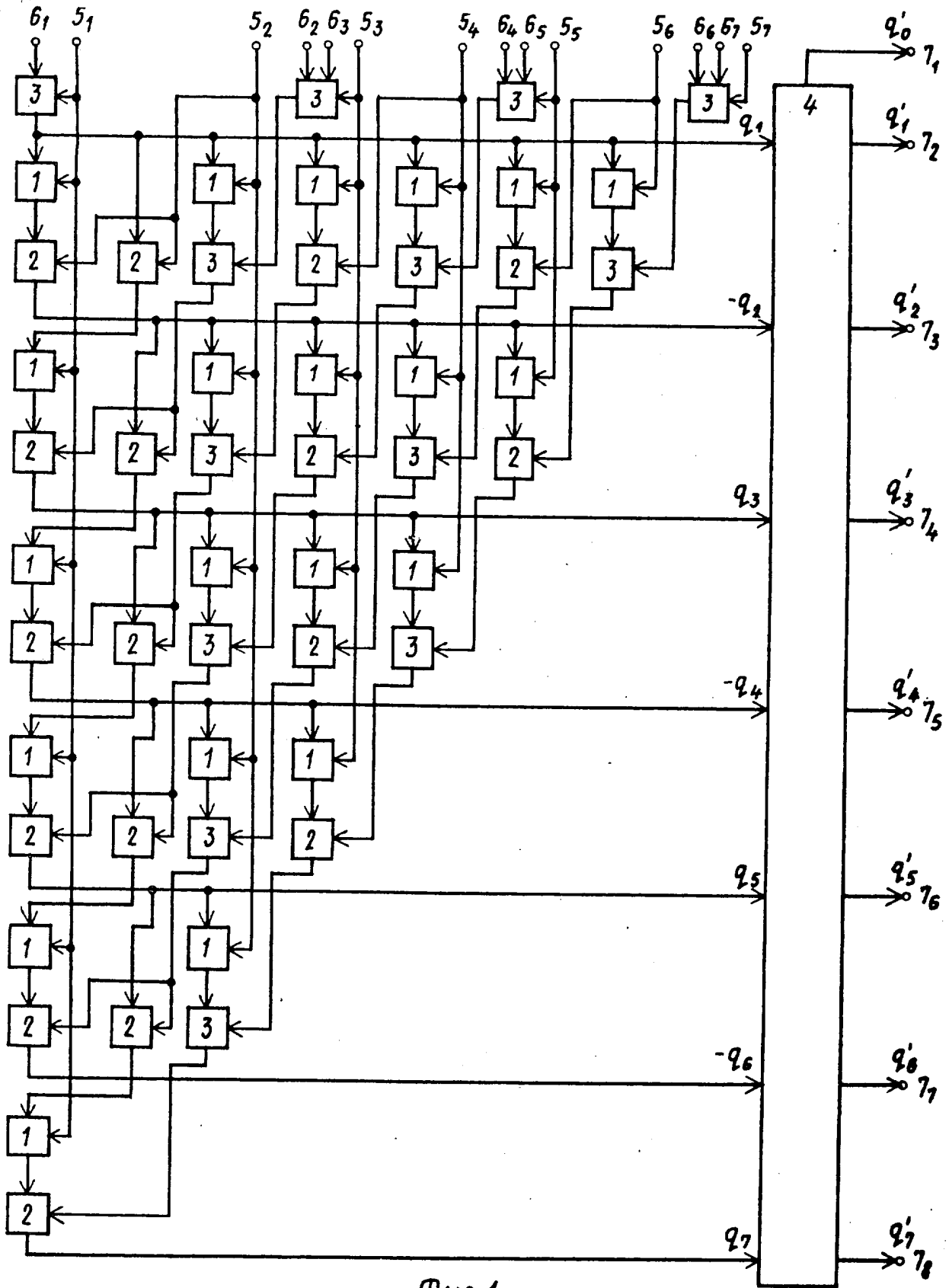
Ф о р м у л а и з о б р е т е н и я

Устройство для деления, содержащее $(n-2)(n-1)/2$ умножителей, $n/2$ ($(n+1)/2$, если n - нечетное) вычитателей и $(n^2+2n-12)/4$ ($(n^2+2n-11)/4$, если n - нечетное) сумматоров, объединенных в треугольную матрицу порядка $n-1$ (n - разрядность делимого и делителя), блок преобразования избыточного кода, причем j -я строка матрицы ($2 \leq j \leq n-1$) имеет $n-j$ столбцов и содержит в каждом столбце умножитель во втором и в каждом нечетном столбце - сумматор, а первая строка матрицы имеет $(n-1)$ -й столбец и содержит в каждом нечетном и в $(n-1)$ -м столбце (если n - нечетное) вычитатель, причем вход умножителей k -го столбца ($1 \leq k \leq n-2$) соединен с k -м входом группы входов делителя устройства, выход умножителя j -й строки и 1-го столбца ($1 \leq j \leq n-3$), 1 - нечетное) соединен с первым входом сумматора этой же строки и этого же столбца, второй вход которого для $j=2$ соединен с $(1+1)$ -м входом группы входов делителя устройства, вторые входы умножителей j -й строки для $j \geq 3$ и 1-го столбца для $j \geq 3$ (1 - нечетное) соединены с выходом сумматора первого столбца $(j-1)$ -й строки, вторые входы умножителей второй строки и k -го столбца (k - нечетное) соединены с выходом вычитателя первой строки первого столбца, вход уменьшаемого которого соединен с первым входом группы входов делимого устройства, а вход вычитаемо-

го - с первым входом группы входов делителя устройства, вход вычитаемого вычитателя первой строки i -го столбца ($3 \leq i \leq n-1$, i - нечетное) соединен с i -м входом группы входов делителя устройства, а входы уменьшаемого - с $(i-1)$ -м и i -м входами группы входов делимого устройства, входы вычитаемого и уменьшаемого вычитателя $(n-1)$ -го столбца первой строки (если n - нечетное) соединены соответственно с $(n-1)$ -м входом группы входов делимого и $(n-1)$ -м входом группы входов делителя устройства, а его выход соединен с вторым входом сумматора второй строки $(n-2)$ -го столбца, выходы сумматоров первого столбца нечетных строк и вычитателя первой строки первого столбца соединены с соответствующими входами блока преобразования избыточного кода, входы которого являются выходами устройства, отличающееся тем, что, с целью повышения быстродействия, устройство содержит в k -м столбце (k - четном) m -й строки матрицы ($2 \leq m \leq n-2$)-й вычитатель, вход вычитаемого которого соединен с выходом умножителя этого же столбца и этой же строки, а вход уменьшаемого для $m \geq 3$ соединен с выходом сумматора $(m-1)$ -й строки $(k+1)$ -го столбца, вход уменьшаемого вычитателя второй строки и k -го столбца (k - четное) соединен с выходом вычитателя $(k+1)$ -го столбца первой строки, выход вычитателя m -й строки и k -го столбца (k - четное) соединен с вторым входом сумматора $(m+1)$ -й строки $(k-1)$ -го столбца, первый вход сумматора m -й строки второго столбца для $m \geq 3$ соединен с выходом сумматора первого столбца $(m-1)$ -й строки и с вторыми входами умножителей четных столбцов m -й строки, второй вход этого же сумматора соединен с выходом вычитателя $(m-1)$ -й строки этого же столбца, а выход этого сумматора соединен с вторым входом умножителя $(m+1)$ -й строки первого столбца, первый вход сумматора второй строки второго столбца соединен с выходом вычитателя первой строки и первого столбца и вторыми входами умножителей четных столбцов второй строки, второй вход этого сумматора соединен с вторым входом группы входов делителя устройства, а его выход соединен с вторым входом умножителя первого столбца третьей стро-

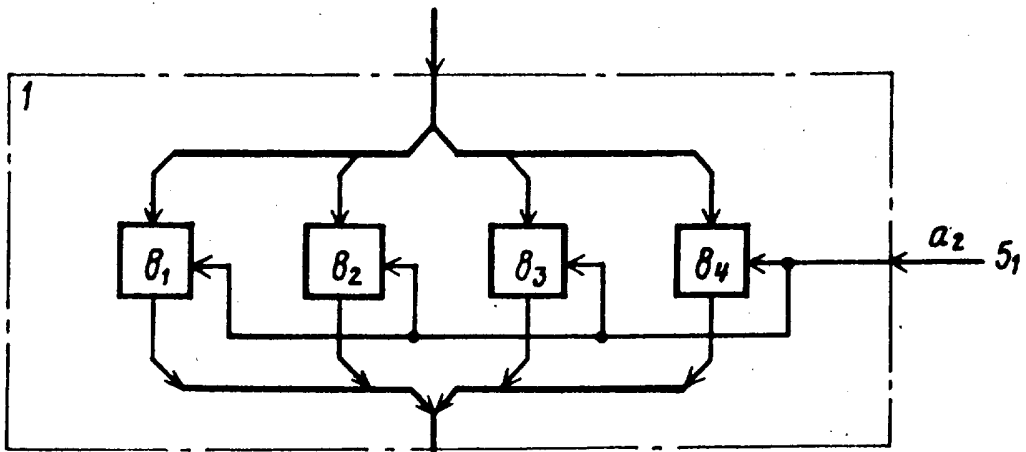
ки, выходы сумматоров четных строк первого столбца соединены с соот-

ветствующими входами блока преобразования избыточного кода.



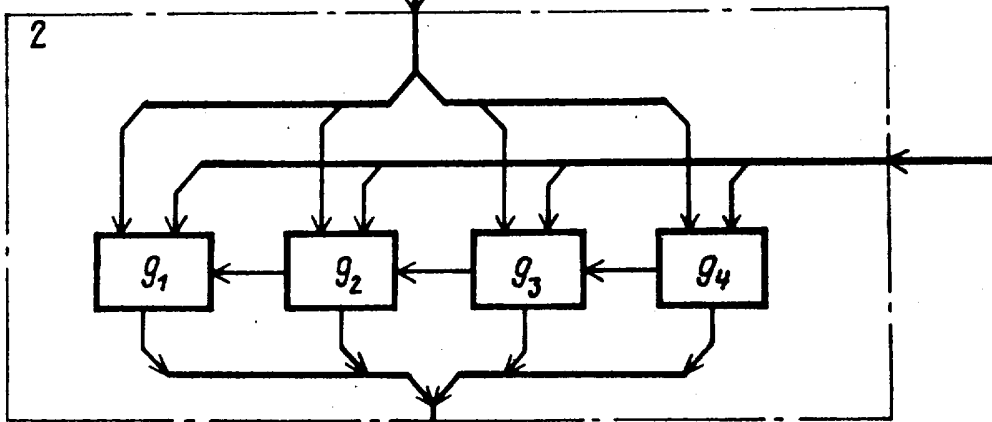
Фиг. 1

1332312



$a_2 q_3$

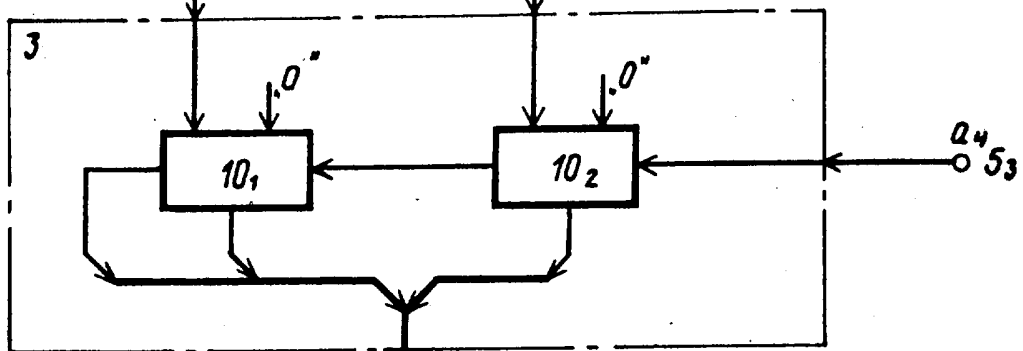
$\Phi_{u2.2}$



$-q_4$

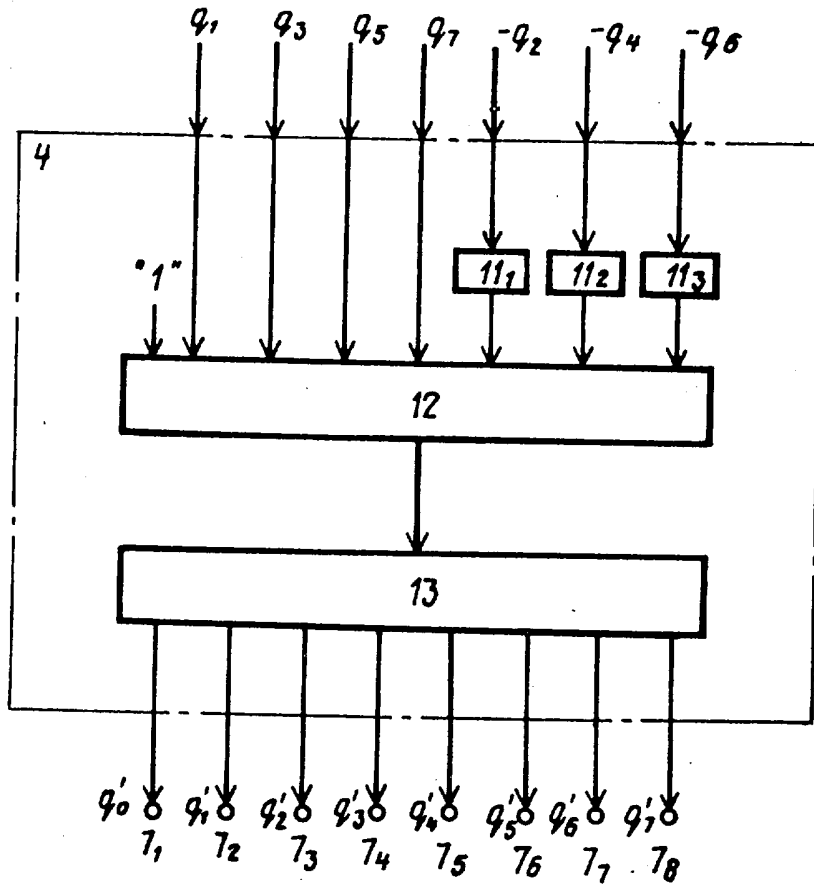
$\Phi_{u2.3}$

c_4



$2c_3 + c_4 - a_4$

$\Phi_{u2.4}$



Фиг. 5

Редактор Е. Папп Составитель А. Клюев Техред И. Попович Корректор Е. Рошко

Заказ 3833/44 Тираж 672 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4